## PATENT ABSTRACTS OF JAPAN

(11)Publication number:

10-189951

(43) Date of publication of application: 21.07.1998

(51)Int.CI.

H01L 29/78

(21)Application number: 08-348676

(71)Applicant: SANYO ELECTRIC CO LTD

(22)Date of filing:

26.12.1996

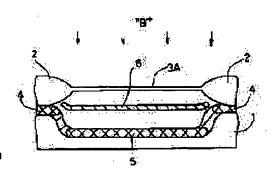
(72)Inventor: OKABE YUUSHIROU

### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a high threshold voltage with low ion implantation, without causing degradation of isolation characteristic.

SOLUTION: Boron ions (11B+) are implanted under conditions for penetrating an LOCOS oxide 2 deposited on a P-type silicon substrate 1, in order to form a channel stopper layer 4 beneath the LOCOS oxide 2 of the some time as with a first channel ion implantation layer 5 in a deep region within the substrate 1. Subsequently, boron ions (11B+) are implanted from above the substrate 1 under conditions of not penetrating the LOCOS oxide 2, in order to form a second channel ion implantation layer 6 beneath a region for forming a diffusion layer in the substrate which is shallower than the first channel ion implantation layer 5.



### LEGAL STATUS

[Date of request for examination]

22.02.2001

[Date of sending the examiner's decision of

03.12.2002

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3

## **华野公搬(∀)** 噩 **₹**

## **特開平10-189951** (11)特許出職公園番号

(43) 公開日 平成10年(1998) 7 月21日

(51) Int Q.	<b>建</b> <b>2</b>	1 A	
H01L 29/78		H01L 29/78	301X

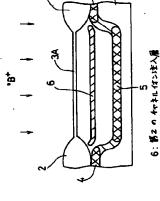
# 海空耐水 未確求 請求項の数2 01 (全7 頁)

(21)田間等号	<b>特買平8</b> -348676	(71)出版人 00001889	000001888
(22) 出版日	平成8年(1996)12月26日	(4) (4)	一件 8000 大汉的人工市大汉大道。 大汉的中心市大汉大道。 116 卷 5 号(7) 卷 8 卷 图像 发生物
		H GTC 7:	医原子氏征 医克雷夫氏 医二甲甲二甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲甲
		(74)作理人 3	并理士安徽 新二(八八名)
			-

## (54) 【発明の名称】 半等体装置の製造方法

**報子分離特性を劣化させることなしに、少な** いイオン注入位で高いしきい値机圧を得ることを可能に 

OS酸化膜2を貫通する注入条件でポロンイオン (11B に第1のチャネルイオン注入園5を同時に形成する。次 に、前記基板1.上方から前記LOCOS酸化膜2を頁通 前配第1のチャネルイオン注入帰5よりも基板の浅い領 【解決手段】 P型シリコン基板1.上に形成したLOC + )を注入して、故LOCOS敬化版2下にチャネルス トッパ層4を形成すると共に、前記基板1内の深い領域 域である拡散層形成関域下近傍に第2のチャネルイオン しない住人条件でポロンイオン(11B+)を注入して、 生入層6を形成するものである。



前記LOCOS酸化膜を貫通しない注入条件で一導電型 の不純物イオンをイオン注入して前記チャネルイオン注

る半導体装置の製造方法において、

入層より も基板の浅い領域に補充用のチャネルイオン注 入層を形成することを特徴とする半導体装置の製造方 【請求項2】 一導電型のシリコン基板上にLOCOS 酸化膜を形成する工程と、 前記LOCOS酸化膜を除く基板上にダミー酸化膜を形 成する工程と、 前記シリコン基板上方から前記LOCOS酸化版を買通 S酸化膜下にチャネルストッパ層を形成すると共に前記 する注入条件で一導電型の不純物を注入して核1.0C0 基板内の深い領域に第1のチャネルイオン注入個を同時 に形成する工程と、 前記シリコン基板上方から前記LOCOS酸化膜を貫通 しない注入条件で一導電型の不純物を注入して拡散圏形 成領域下近傍に第2のチャネルイオン注入局を形成する

前記ダミー酸化膜を除去した後に前記10C0S酸化膜 を除く基板上にゲート酸化膜を形成する工程と、

前記ゲート電極の両端にソース・ドレイン拡散層を形成 する工程とを有することを特徴とする半導体装置の製造 前記ゲート酸化膜上にゲート戦極を形成する工程と、

【発明の詳細な説明】

[000]

下の基板投面より深い領域にチャネルイオン注入局を同 ことなしに、少ないイオン注入量で高いしきい値地圧を COS (Local Oxidation of Silicon) 酸化溴杏黄通寸 Fにチャネルストッパ暦を形成すると共に、ゲート**机**極 時に形成するものにおいて、業子分離耐圧を低下させる 薄くし、てセルの周辺との段差低域を可能とする技術に関 [発明の属する技術分野] 本発明は、半導体装置の製造 方法に関し、更に述べると半導体基板上に形成した10 る注入条件でイオン注入を行い、当該LOCOS酸化膜 得ることを可能にすると共に、ゲート電極上の酸化膜を

[0002]

乃至図13を基に説明する。図9に示す51は一導電型 上の所望領域をフィールド酸化することでおよそ450 第1の課題を有する半導体装置の製造方法について図9 の半導体基板、例えばP型シリコン基板で、該基板51 【従来の技術】此種の半導体装置の製造方法において、

の領域におよそ400Aの順厚のグミー酸化膜53Aを O Aの駁母のLOCOS (Local Oxidation of Silico n) 酸化膜52を形成し、酸LOCOS酸化膜52以外

OCOS酸化膜を質通する注入条件で一導電型の不純物

【静求項1】 一導電型のシリコン基板上に形成した1.

(特許請求の范囲)

イオンをイオン注入し、当散LOCOS酸化膜下にチャ ネルストッパ層を形成すると共にゲート電極下の基板姿 面より深い質域にチャネルイオン注入圏を同時に形成す

【0003】次に、全通にボロンイオン(IIB+) を哲 cm2 (尚, 6. 0 E 1 2 は 6. 0 掛ける 1 0 の 1 2 乗 の意である。以下、同様である。) で往入して、図10 ッパ圈54を形成すると共に、ダミー酸化膜53AFの 半導体基板51内の深い領域に前配チャネルストッパ園 に示すように核LOCOS酸化膜52下にチャネルスト [0004] 続いて、前記ダミー酸化膜53Aを除去し 例えば、加速電圧140KeV、注入量6.0E12/ 記LOCOS酸化膜52下に突き抜け可能な注入条件、 54に遊なるチャネルイオン注入層55を形成する。

7 をマスクにして倒えば、ボロンイオン(IIB+ ) を加 3に示すように前配ゲート電極56の劇覧部に前配敷化 填57と一体に形成されるサイドウォール酸化膜81を 形成し、前記ゲート電極56及びサイドウォール做化膜 61をマスクにして例えば、ヒ茶イオン(75As+ )を 加速電圧30KeV、注入配5.0E13/cm2の注 因62、63を形成することで、Nチャネル型MOSト た後に、前記1,0C0S酸化膜52以外の領域におよそ 120人の順回のゲート酸化脱るを形成する。次に、 塩 遊動圧40KeV、往入卧7.0E12/cm2で往入 して、パンチスルー対策用のイオン注入图58を後述す [0005] 衣に、図12に示すように例えばリンイオ ン (31 b+ ) を加速地圧30KeV、注入量2.8 E1 3/cm2の注入条件で注入して、低濃度のN-型ソー ス・ドレイン拡散層59、60を形成する。次に、図1 A条件で注入して海徹底のN+型ソース・ドレイン拡散 **仮全面にゲート電極形成用のポリシリコン模及び酸化膜** に、放ゲート電極56とその上部に積層された酸化膜5 を積層形成し、不図示のレジスト膜を介してエッチング るN型ソース・ドレイン拡散圏形成領域下に形成する。 して図11に示すようにゲート配極56を形成した後

[0006]また、第2の課題を有する半導体装置の製 本、パンチスルー対策用のイオン注入工程は、図11及 の図14に示すように半導体基板51上にゲート配極5 6を形成した後に、数グート低極56上に形成した酸化 填57によりゲート電極56を突き抜けないようにボロ ンイオン (118+) をイオン狂入して、パンチスルー対 造方法について図11及び図14を基に説明する。従 **寮用のイオン往入園58を形成していた。** ランジスタを形成していた。

(0001)

[発明が解決しようとする問題] 先ず、第1の課題を有 する半導体装置の製造方法において、しきい値調整用の イオン注入工程をチャネルストッパ陥54形成用のイオ ン注入工程で兼用することで、製造工程の削減を図って いた。しかしながら、近年の微細化の要求に対応しよう

とすると種々の環題が発生してきた。

【0008】即ち、イオン注入時の注入量が多い割に高 れるため、イオン注入量に対するしきい値軌圧の変化が 餡くなるためにしきい値設定が難しいとか、また、イオ ン注入届を少なくしてチャネルイオン注入府55を基板 安面に近づけると、チャネルストッパ函54の効果が蒋 を挟んで降り合う拡散局間の間隔が短くなり、虹子が流 れ曷くなり、結果として素子分離特性が劣化するといっ オン注入工程を追加して、しきい値関盤を行うこともあ いしきい値仰圧が得られないとか、図10に示すように チャネルイオン注入图55が基板内の深い領域に形成さ れ、報子分離耐圧は高くなるが、LOCOS酸化模52 **た課題があった。更に、高いしきい値似圧を必要とする** 場合には、別のマスクを用意して、しきい値調整用のイ り、製造工数が増大するという課題があった。

【0009】また、第2の課題を有する半導体装置にお **パて、セルの周辺との段差低域のため、ゲート間極を低** くしたいという要望がある。そのため、図14に一点鎖 段で示すゲート電極56A上の酸化膜57Aを適正な膜 がゲート電極56Aを突き抜けてしまい、チャネル韻域 中、一点蜘蛛で示すチャネル直下のイオン注入困58B **耳である酸化膜51より薄く形成すると、パンチスルー** 対策用のイオン注入图58を基板51の深い領域に形成 6、56A上に異なる腹耳の酸化膜57、57Aを形成 するためにイオン往入した際にボロンイオン (118+) を容開)。 尚、図14は説明の便宜上、ゲート電極5 してボロンイオン(11.8+ )をイオン注入することで、 にもイオン注入されてしまうという環題があった (図 ゲートロ極56AFのチャネル寅岐にもボロンイオン (118+) が往入されてしまう煤留を示している。

[0010] 従って、本発明は前述した課題を解決する の段遊低減を可能とする半導体装置の製造方法を提供す ために粛子分離特性を劣化させることなしに、少ないイ オン注入量で高いしきい質の圧を得ることを可能にする と共に、ゲート虹極上の酸化膜を薄くしてセルの周辺と ることを目的とする。

リコン基板1上にLOCOS酸化膜2を形成した後、核 LOCOS酸化版2を除く基板上にダミー酸化版3Aを 形成する。次に、前配基板1上方から前配LOCOS酸 化版2及びグミー酸化版3Aを買過する注入条件でポロ ンイオン(IIB+ )を注入して版LOCOS般化膜2下 内の深い国域に第1のチャネルイオン注入路5を同時に 形成する。扱いて、前記基板1上方から前記グミー酸化 ない注入条件でポロンイオン(11B+) を注入して拡散 資形成団域下近傍に第2のチャネルイオン注入图6を形 [醍題を解決するための手段] そこで、本発明はP型シ 模3Aを真通し、かつ値配LOCOS酸化模2を貫通し ごチャネルストッパ四4を形成すると共に、前配基板1 **式する。そして、前記グミー館化膜3Aを除去し、ゲー** 

ト酸化膜3を形成した後、酸ゲート酸化膜3上にゲート **む極?を形成し、抜ゲート蟷極7の両端にソース・ドレ** イン紅散層10、11、13、14を形成するものであ

[0012]

【発明の実施の形態】以下、本発明の一実施の形態を図・ 面に基づき詳述する。図1に示す1は一導館型の半導体 **基板、例えばP型シリコン基板で、素子分離用のおよそ** 4500 Aの膜厚のLOCOS酸化膜2が形成され、酸 LOCOS酸化膜2以外の領域におよそ400Åの膜厚 のダミー酸化酸3Aが形成されている。

**入量4.** 0E12/cm2 乃至5. 0E12/cm2の 貫通可能な注入条件、例えば加速電圧140KeV、注 条件で注入して、図2に示すようにLOCOS酸化膜2 下にチャネルストッパ四4を形成すると共に、基板数面 から比較的深い領域に第1のチャネルイオン注入뤔5を [0013] 次に、全面に例えばボロンイオン (113+ )を前記ダミー酸化膜3A及びLOCOS酸化膜2を 形成する。

[0014] 続いて、全面に例えばボロンイオン (IIB + )を前記ダミー酸化膜3Aを質通し、かつLOCOS 酸化膜2を貫通しない注入条件、例えば加速電圧40K e V 乃至8 0 K e V、注入量5. 0 E 1 1 / c m²2 乃至 7. 0 E 1 1 / c m 2 の条件で注入して、図 3 に示すよ うに基板装面から比較的浅い領域に補充用の第2のチャ ネルイオン住入層6を形成する。本工程による第2のチ ャネルイオン注入图6により、前述した第1のチャネル しきい値電圧を能動的に制御する。また、注入領域はチ ヤネル形成関域より深めに形成し、駅動能力の低下を防 イオン注入層5だけでは不足するイオン注入を補充し、

は入<u>困</u>7. 0 E 1.2 / c m2 の条件で注入して、パンチ 前記LOCOS酸化版2以外の領域におよそ120Aの 膜厚のゲート酸化膜3を形成する。 続いて、基板全面に ゲート電極形成用のポリシリコン膜及び酸化膜を積層形 **战し、不図示のレジスト膜を介してエッチングして図4** に示すようにゲート電極7を形成した後に、膝ゲート電 極7とその上部に積層された酸化膜8をマスクにして例 えば、ボロンイオン(11B+ )を加速電圧40KeV、 [0015] 次に、ダミー酸化膜3Aを除去した後に、 スルー対策用のイオン注入的9を形成する。

[0016] 次に、図5に示すように前記ゲート電極7 をマスクにして例えば、リンイオン(31 P+ )を加速電 王30KeV、注入肚2.8 E 1 3/c m2 の条件で注 1を形成する。そして、図6に示すように前記ゲート亀 極7の側壁部に前記酸化膜8と一体に形成されるサイド ウォール酸化膜12を形成し、前配ゲート電捶7及びサ イドウォール酸化膜12をマスクにして倒えば、ヒ端イ オン (75As+)を加速電圧30KeV、注入量5.0 入して低酸度のN- 型ソース・ドレイン拡散图10、1

E13/cm2 の条件で住入して高蔵度のN+ 型ソース ・ドレイン拡散層13、14を形成することで、Nチャ ネル型MOSトランジスタを形成する。

OS酸化膜2を買通する注入条件で第1のイオン注入を パ图 4 を形成すると共に、基板表面の深い領域に第1の チャネルイオン注入層 5 を形成した後に、続いて第1の イオン注入工程を補足するためにLOCOS酸化膜2を 間6を形成することで、第1のイオン注人は、従来に比 ペ少ない注入量でも第2の注入工程により高いしきい値 [0017] 以上、説明したように本発明では、LOC 行うことで、眩LOCOS酸化膜2下にチャネルストッ 買通しない往入条件で協しOCOS酸化膜2をマスクに して第2のイオン社入を行い第2のチャネルイオン注入 亀圧を得ることができる。そして、このようにすればし きい値調盤用に別のマスクを用意する必要がなく、リン グラフィー工程が増加することがない。

オン (IIB+ ) を加速電圧140KeV、注入量6.0 E12/cm2 乃至6. 5日12/cm2 でイオン注入 ン (11B+ ) を加速電圧140KeV、注入低4.3E 12/cm2で行い、続いて、第2のイオン注入をポロ を1回のみ行った半導体装置とほぼ近い特性が得られる 本発明の半導体装置は、第1のイオン注入をボロンイオ 【0018】尚、従来のイオン注人条件であるボロンイ ソイオン (IIB+ ) を加速低圧80KeV、注入最5. 0E11/cm2 T&5. 【0019】図7は従来の半導体装置と本発明半導体装 艮) が20~0.6μmで、パックゲート値圧Vbsが - 2 V である場合に、従来の半導体装置のしきい値也圧 a kは12. 79 (pA)、短チャネル効果の程度を設 す値のは0.018であるのに対して本発明の半導体装 ト長と実効チャネル長の蒄DLs/dは0.17μmで V 1は0. 68(V)、マスクのゲート長と実効チャネ 置のしきい値電圧V(は0.64(V)、マスクのゲー あり、飽和龍流 I s a t は 3 3 7 (μ A / μ m)、ソー ス・ドレイン間ブレークダウン電圧BVDSは9.93 (V)、リーク亀流Leakは14.53 (pA)、短 のデータから本発明の半導体装置は、従来の半導体装置 置との各種データの比較図であり、ゲート酸化膜の膜厚 ル長の差DLs/dit0. 11 μm、飽和電流lsat ダウン電圧BVDSは8.23 (V)、リーク電流Le チャネル効果の程度を表す値のは0,018であり、こ は317 (n A/n m)、ソース・ドレイン起ブレーク が120Åで、GW (チャネル幅) /GL (チャネル にほぼ近い特性を達成できることが実証されている。 尚、ヮは、次式で表される。

[0020]

Vds2-Vdsi V t 2-V t 1

[0021]

特阻平10-189951

3

Vds:ソース・ドワイン 包圧 Vt:しきい値電圧

dsにおけるしきい値側圧Vi2、Vilの変化量であ り、σはおよそ0.02~0.03程度となるように数 V d s1 の変化量に対するあるソース・ドレイン電流し 即ち、例えば、所望のソース・ドレイン也圧Vds2、 定するのが適当である。

【0023】即ち、図8に示すようにシリコン基板1上 マスクにして拡散圏形成領域下にしきい値調整用及びパ ート価権上の酸化関厚を厚くするため、セルの周辺との る半導体装置の製造方法(図1~図6に示す工程)を応 用して、従来の第2の製題であるパンチスルー対策用の イオン注入工程でゲート電極下のチャネル領域にポロン のLOCOS酸化版2を貫通する注入条件でイオン注入 することで、核LOCOS酸化膜2下にチャネルストッ パ圀4を形成すると共に、基板安面の深い餌域にチャネ ルイオン往入局5を形成した後に、税いてLOCOS数 化版2を貝通しない注入条件で放LOCOS酸化膜2を | 4を形成することで、ゲート電極フ上に形成する酸化 【0022】また、前述した本発明の一実施の形態によ イオン(1118+) が突き抜けないようにするために、ゲ 段差が大きくなるという問題を解決することができる。 ンチスルー対策用のイオン注入的20を形成した後に、 ゲート電極7を形成し、N型拡散層10、11、13、 膜8日の膜厚を従来の酸化膜8より薄くすることがで

【0024】 超、本実施の形態ではポリシリコン膜から 成るゲート虹極を一例として挙げているが、これに限ら ず倒えばポリサイドゲート知識やシリサイドゲート知識 や高融点金属ゲート電極等でも構わない。また、前述し (IIB+) は、他のイオン梅、例えばニフッ化ポロンイ た実施の形態のイオン注入工程におけるボロンイオン き、セルの周辺との段差を低減することができる。 オン (49BF2+) に変更することも可能である。

[0025]

「発明の効果」以上、本発明の半導体装置の製造方法に よれば、リソグラフィー工程を増加することなしに少な い注人量でも高いしきい値電圧を得ることができるよう になり、従来の問題であったイオン注入時の注入量が多 ン注入量に対するしきい値心圧の変化が続くなり、しき い値散定が壁しいとか、また、イオン注入丘を少なくし てチャネルイオン注入燈を基板装面に近づけると、チャ ネルストッパ園の効果が薄れ、菓子分離特性が劣化する い割に高いしきい値也圧が得られないとか、チャネルイ オン注入層が基板内の深い領域に形成されるため、イオ

といった従来技術の瞑題を解消できる。 [図面の簡単な説明]

[図1] 本発明の一実施の形態の半導体装置の製造方法 を示す第1の断面図である。 【図2】本発明の一実施の形態の半導体装配の製造方法

9

特開平10-189951

[図6]

[図5]

【図3】本発明の一実施の形態の半導体装置の製造方法 を示す第3の断面図である。 を示す第2の断面図である。

【図4】本発明の一実施の形態の半導体装置の製造方法 を示す第4の前泊図である。

【図5】本発明の一実施の形態の半導体装置の製造方法

【図6】本発明の一実施の形態の半導体装置の製造方法 を示す第5の断面図である。 を示す類6の断面図である。

【図8】本発明の他の実施の形態の半導体装置の製造方 道データの比較図である。 法を示す断面図である。

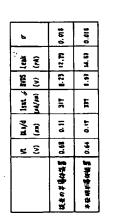
<u>図</u>

【図7】本発明の半導体装置と従来の半導体装置との各

[図10] 従来の半導体装置の製造方法を示す第2の断 酒図である。 [図12] 従来の半導体装置の製造方法を示す第4の断

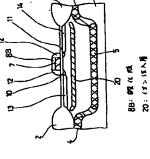
[図13] 従来の半導体装置の製造方法を示す第5の断 面図である。

13,46 Nº 12 4-7. FLADSE TXĀ 10,11:N-カ シス・ドレイン探索局

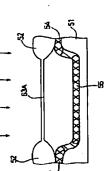


[図8]

[区7]



[図10]



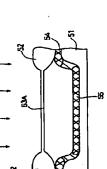
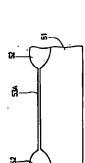
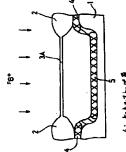


図1.1

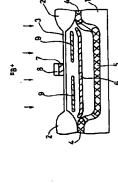




B: 第19 布机化法入屋 4:ナッチルストッパ角

3A: 77:- BRACH

1: P空ンコン基金



?: 17.1.16.54 B: 数数化原 9: イイン述へ角

[図]

[図9] 従来の半導体装置の製造方法を示す第1の断面

【図11】従来の半導体装置の製造方法を示す第3の断 面図である。

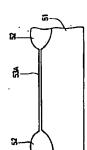
面図である。

[図14] 従来の第2の課題を説明するための半導体装 闔の製造方法を示す断面図である。

[図]

22: Locos 的社化制

6: fit a transcritta [図3]



[813]

